

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2006年6月8日 (08.06.2006)

PCT

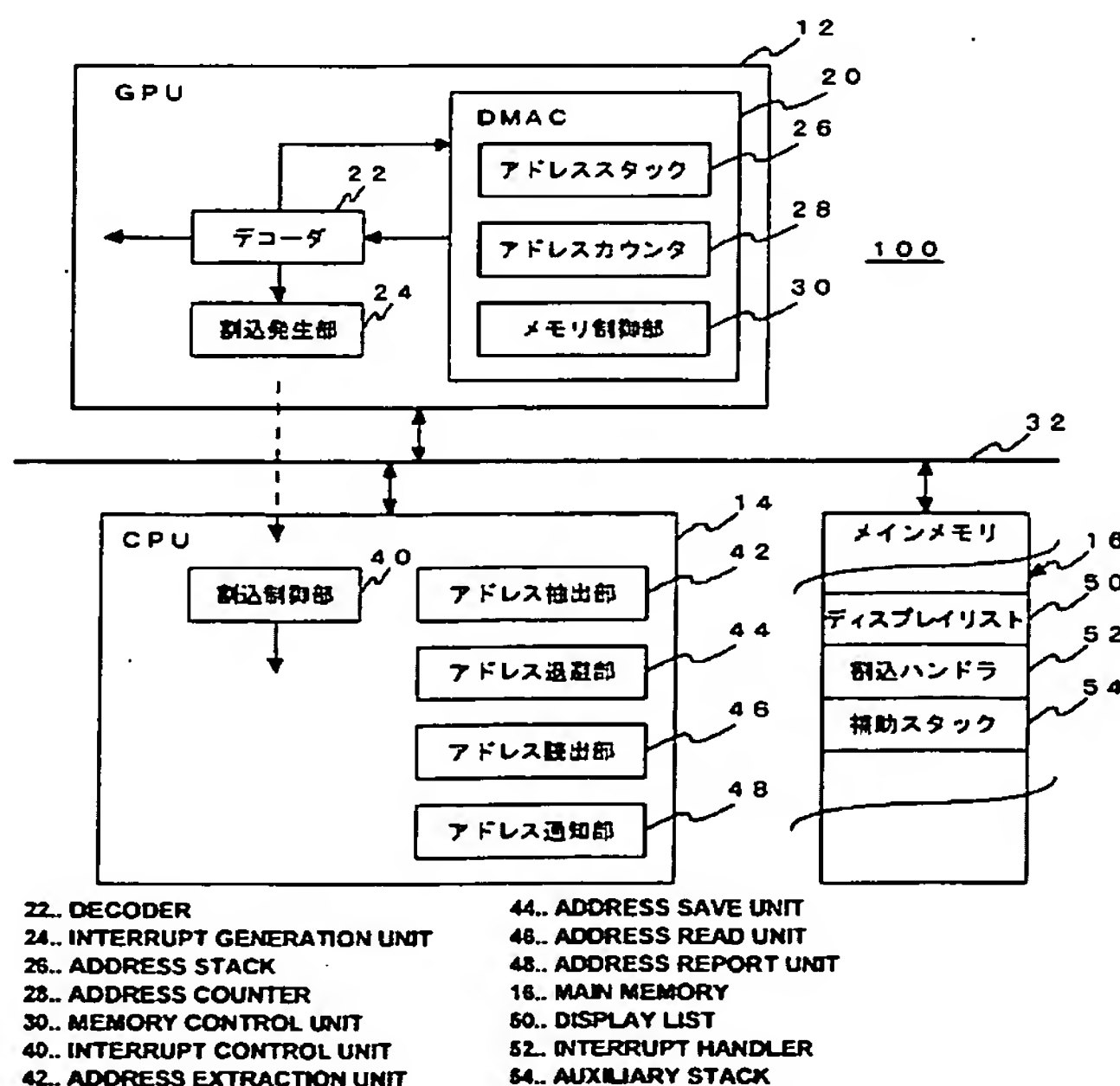
(10) 国際公開番号  
WO 2006/059444 A1

- (51) 国際特許分類:  
G06F 9/42 (2006.01) G06F 9/38 (2006.01)
- (21) 国際出願番号: PCT/JP2005/020000
- (22) 国際出願日: 2005年10月31日 (31.10.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-350702 2004年12月3日 (03.12.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ソニー・コンピュータエンタテインメント (SONY COMPUTER ENTERTAINMENT INC.) [JP/JP]; 〒1070062 東京都港区南青山二丁目6番21号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 野田 慎治 (NODA, Shinji) [JP/JP]; 〒1070062 東京都港区南青山二丁目6番21号 株式会社ソニー・コンピュータエンタテインメント内 Tokyo (JP). 河野 健 (KONO, Takeshi) [JP/JP]; 〒1070062 東京都港区南青山二丁目6番21号 株式会社ソニー・コンピュータエンタテインメント内 Tokyo (JP).
- (74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西2-11-12 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告書  
— 補正書

[続葉有]

(54) Title: MULTI-PROCESSOR SYSTEM AND PROGRAM EXECUTION METHOD IN THE SYSTEM

(54) 発明の名称: マルチプロセッサシステムとそのシステムにおけるプログラム実行方法



(57) Abstract: In a multi-processor system (100), when a first processor interrupt generation unit (24) has executed a call command or a jump command in a main routine being executed, it generates an interrupt to a second processor. Upon reception of the interrupt from the interrupt generation unit (24), the second processor saves the return address for returning to the main routine upon completion of the subroutine processing called by the call command in a main memory area (54) other than the first processor or generates a call destination address and a jump destination address and reports it to the first processor. Thus, the first processor can be a small-size circuit capable of flexibly performing processing.

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

マルチプロセッサシステム100において、第1のプロセッサの割込発生部24は、実行中のメインルーチンにおいてコール命令やジャンプ命令を実行したとき第2のプロセッサに対して割込を発生させる。第2のプロセッサは、割込発生部24から割込を受けたとき、コール命令によって呼び出されるサブルーチンの処理が完了したときメインルーチンへ戻るための戻りアドレスを第1のプロセッサ外のメインメモリ領域54に退避したり、または、コール先アドレスやジャンプ先アドレスを生成して第1のプロセッサへ通知したりする。

これにより第1のプロセッサが小規模回路で柔軟に処理を実行する。